

## DEMANDE INTERNATIONALE PUBLIEE EN VERTU DU TRAITE DE COOPERATION EN MATIERE DE BREVETS (PCT)

(51) Classification internationale des brevets <sup>7</sup> : <b>G07F 7/10, G06F 12/14</b>		A1	(11) Numéro de publication internationale: <b>WO 00/26869</b>
			(43) Date de publication internationale: <b>11 mai 2000 (11.05.00)</b>
(21) Numéro de la demande internationale: <b>PCT/FR99/02639</b>		(81) Etats désignés: CN, US, brevet européen (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).	
(22) Date de dépôt international: <b>28 octobre 1999 (28.10.99)</b>			
(30) Données relatives à la priorité: 98/13606 29 octobre 1998 (29.10.98) FR		Publiée <i>Avec rapport de recherche internationale.</i>	
(71) Déposant ( <i>pour tous les Etats désignés sauf US</i> ): SCHLUM-BERGER SYSTEMES [FR/FR]; 50, avenue Jean Jaurès, F-92120 Montrouge (FR).			
(72) Inventeur; et			
(75) Inventeur/Déposant ( <i>US seulement</i> ): GERBAULT, Eric [FR/FR]; 6, rue de la Citadelle, F-94230 Cachan (FR).			
(74) Mandataire: UTZMANN-NORTH, Anne; Schlumberger Systems, Test & Transactions, 50, avenue Jean Jaurès, BP 620-12, F-92542 Montrouge cedex (FR).			

(54) Title: DEVICE FOR AND METHOD MAKING SECURE AN INTEGRATED CIRCUIT

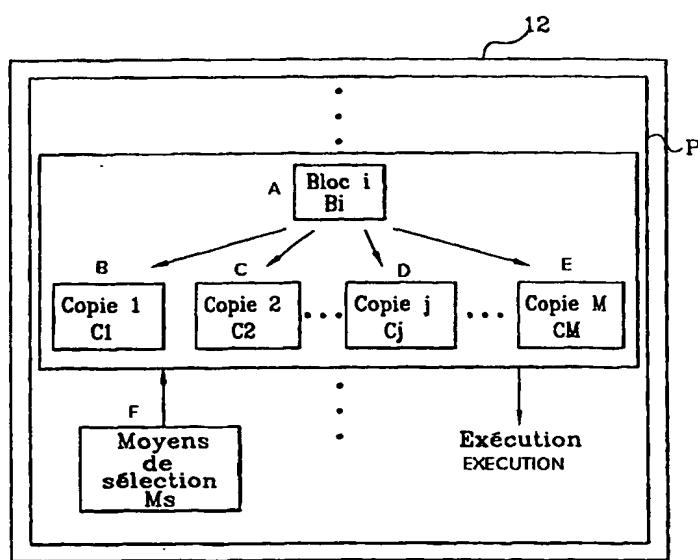
(54) Titre: DISPOSITIF ET PROCEDE POUR LA SECURISATION D'UN CIRCUIT INTEGRE

## (57) Abstract

The invention concerns a integrated circuit device containing a storage zone comprising a data storage and a programme storage, and a programme comprising N Bi code blocks ( $i = 1$  to  $N$ ). The invention also concerns a method for making secure such a device. The invention is characterised in that said storage zone comprises M Cj copies ( $j = 1$  to  $M$ ) of x Bi programme code blocks ( $x = 1$  to  $N$ ), said copies being located at different addresses of said storage zone, and said device comprises selecting means for selecting randomly a Cj copy of at least one of the x Bi blocks, as the block copy to be used when executing said programme. The invention is particularly applicable to smart cards.

## (57) Abrégé

L'invention concerne un dispositif à circuit intégré contenant une zone mémoire qui comprend, d'une part, une mémoire de données et une mémoire de programme, et, d'autre part, un programme comportant N blocs Bi ( $i = 1, \dots, N$ ) de code. Elle concerne également un procédé de sécurisation d'un tel dispositif. L'invention se caractérise en ce que ladite zone mémoire comporte M copies Cj ( $j = 1, \dots, M$ ) de x blocs Bi ( $x = 1, \dots, N$ ) de code du programme, lesdites copies étant situées à différentes adresses de ladite zone mémoire, et en ce que ledit dispositif comprend un moyen de sélection servant à sélectionner de façon aléatoire une copie Cj d'au moins un des x blocs Bi, comme copie de bloc à utiliser lors de l'exécution dudit programme. L'invention s'applique, en particulier, aux cartes à puce.



A ... BLOCK I  
 B ... COPY 1  
 C ... COPY 2  
 D ... COPY J  
 E ... COPY M  
 F ... SELECTION MEANS

**UNIQUEMENT A TITRE D'INFORMATION**

Codes utilisés pour identifier les Etats parties au PCT, sur les pages de couverture des brochures publiant des demandes internationales en vertu du PCT.

AL	Albanie	ES	Espagne	LS	Lesotho	SI	Slovénie
AM	Arménie	FI	Finlande	LT	Lituanie	SK	Slovaquie
AT	Autriche	FR	France	LU	Luxembourg	SN	Sénégal
AU	Australie	GA	Gabon	LV	Lettonie	SZ	Swaziland
AZ	Azerbaïdjan	GB	Royaume-Uni	MC	Monaco	TD	Tchad
BA	Bosnie-Herzégovine	GE	Géorgie	MD	République de Moldova	TG	Togo
BB	Barbade	GH	Ghana	MG	Madagascar	TJ	Tadjikistan
BE	Belgique	GN	Guinée	MK	Ex-République yougoslave de Macédoine	TM	Turkménistan
BF	Burkina Faso	GR	Grèce	ML	Mali	TR	Turquie
BG	Bulgarie	HU	Hongrie	MN	Mongolie	TT	Trinité-et-Tobago
BJ	Bénin	IE	Irlande	MR	Mauritanie	UA	Ukraine
BR	Brésil	IL	Israël	MW	Malawi	UG	Ouganda
BY	Bélarus	IS	Islande	MX	Mexique	US	Etats-Unis d'Amérique
CA	Canada	IT	Italie	NE	Niger	UZ	Ouzbékistan
CF	République centrafricaine	JP	Japon	NL	Pays-Bas	VN	Viet Nam
CG	Congo	KE	Kenya	NO	Norvège	YU	Yougoslavie
CH	Suisse	KG	Kirghizistan	NZ	Nouvelle-Zélande	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	République populaire démocratique de Corée	PL	Pologne		
CM	Cameroun	KR	République de Corée	PT	Portugal		
CN	Chine	KZ	Kazakhstan	RO	Roumanie		
CU	Cuba	LC	Sainte-Lucie	RU	Fédération de Russie		
CZ	République tchèque	LI	Liechtenstein	SD	Soudan		
DE	Allemagne	LK	Sri Lanka	SE	Suède		
DK	Danemark	LR	Libéria	SG	Singapour		
EE	Estonie						

## DISPOSITIF ET PROCEDE POUR LA SECURISATION D'UN CIRCUIT INTEGRÉ

La présente invention concerne un dispositif à circuit intégré contenant une zone mémoire qui comprend, d'une part, une mémoire de données et une mémoire de programme, et, d'autre part, un programme comportant  $N$  blocs  $B_i$  ( $i = 1, \dots, N$ ) de code. Elle concerne 5 également un procédé de sécurisation d'un tel dispositif.

Ledit dispositif à circuit intégré est le plus souvent utilisé dans des applications dans lesquelles la sécurité du stockage et du traitement d'informations confidentielles est essentielle. Il s'agit par exemple de cartes à composants électroniques destinées à des 10 applications concernant le domaine de la santé, de la téléphonie mobile, ou encore, à des applications relatives au domaine bancaire.

Lesdites cartes comportent un circuit intégré contenant de manière classique un élément de commande (par exemple une unité centrale de traitement ou CPU) qui gère et distribue, par l'intermédiaire 15 de lignes de bus, des informations de données ou d'adresses stockées dans la zone mémoire desdites cartes. Ledit circuit intégré contenant lesdites lignes de bus consomme du courant électrique notamment lorsque lesdites lignes de bus, sont amenées à transporter l'information logique 1.

20 Aussi, l'intensité dudit courant électrique consommé par une carte à composants électroniques varie en fonction du temps en particulier à cause des différentes valeurs de données ou d'adresses transitant sur lesdites lignes de bus de la carte. Le suivi de ladite intensité en fonction du temps constitue une signature électrique de l'activité de la carte et, par suite, une analyse de ladite signature est 25 révélatrice de ladite activité. Ainsi, grâce à une analyse de la signature électrique, les fraudeurs peuvent par exemple aisément suivre un déroulement d'opérations contenues dans les différents blocs de code

du programme de ladite carte et ils peuvent en conséquence avoir accès à des secrets contenus dans cette carte.

En vue de rendre plus complexe l'analyse de signature électrique pour les fraudeurs, l'état de la technique propose des dispositifs 5 annexes permettant d'engendrer des signaux parasites venant s'ajouter à la signature électrique de l'activité de ladite carte à composants électroniques. Bien qu'ils rendent plus délicate l'analyse de la signature électrique, lesdits dispositifs annexes consomment du temps car ils monopolisent certaines ressources de ladite carte, ressources déjà 10 utilisées pour l'exécution d'autres opérations qui sont propres à la carte et de plus ils consomment davantage de courant car ils comportent des composants électroniques qui nécessitent du courant électrique pour fonctionner.

Aussi un problème technique à résoudre par l'objet de la présente 15 invention est de proposer un dispositif à circuit intégré contenant une zone mémoire qui comprend, d'une part, une mémoire de données et une mémoire de programme, et, d'autre part, un programme comportant  $N$  blocs  $B_i$  ( $i = 1, \dots, N$ ) de code, ainsi qu'un procédé de sécurisation d'un tel dispositif, qui permettent d'obtenir une signature 20 électrique de telle sorte que ladite signature soit difficile à analyser, et qui par ailleurs ne nécessitent pas une consommation élevée en courant électrique et en temps due par exemple à des dispositifs annexes monopolisant les propres ressources dudit dispositif.

Une solution au problème technique posé se caractérise, selon un 25 premier objet de la présente invention, en ce que ladite zone mémoire dudit dispositif à circuit intégré comporte  $M$  copies  $C_j$  ( $j = 1, \dots, M$ ) de  $x$  blocs  $B_i$  ( $x = 1, \dots, N$ ) de code du programme, lesdites copies étant situées à différentes adresses de ladite zone mémoire, et en ce que ledit dispositif comprend un moyen de sélection servant à sélectionner de

façon aléatoire une copie  $C_j$  d'au moins un des  $x$  blocs  $B_i$ , comme copie de bloc à utiliser lors de l'exécution dudit programme.

Selon un second objet de la présente invention, cette solution se caractérise en ce que le procédé de sécurisation comporte les étapes 5 consistant à :

- créer, dans ladite zone mémoire,  $M$  copies  $C_j$  ( $j = 1, \dots, M$ ) de  $x$  blocs  $B_i$  ( $x = 1, \dots, N$ ) de code du programme, lesdites copies étant situées à différentes adresses de ladite zone mémoire,
- sélectionner de façon aléatoire une copie  $C_j$  d'au moins un des  $x$  blocs  $B_i$ , comme copie de bloc à utiliser lors de l'exécution dudit programme.

Ainsi, comme on le verra en détail plus loin, le dispositif de l'invention permet de contrer les fraudeurs en rendant très difficile l'analyse d'une signature électrique par lesdits fraudeurs, en exploitant 15 le fait que ladite signature électrique est fonction notamment des valeurs transitant sur lesdites lignes de bus dudit dispositif.

La description qui va suivre au regard des dessins annexés, donnés à titre d'exemples non limitatifs, fera bien comprendre en quoi consiste l'invention et comment elle peut être réalisée.

20 La figure 1 est un schéma d'un dispositif à circuit intégré, une carte à composants électroniques par exemple.

La figure 2 est un schéma d'une zone mémoire de la carte de la figure 1.

La figure 3 est un schéma de lignes de bus de la carte de la figure 25 1.

La figure 4 est schéma de la zone mémoire de la figure 2 limité au seul bloc de code  $B_i$ .

La figure 5 est un schéma montrant un adressage d'un bloc de code et de ses copies situés dans la carte de la figure 1.

La figure 6 est un schéma montrant une répartition d'un bloc de code et de ses copies dans la zone mémoire de la figure 2.

La figure 7 est un schéma montrant une autre répartition d'un bloc de code et de ses copies dans la zone mémoire de la figure 2.

Sur la figure 1 est représenté un dispositif 10 à circuit intégré par exemple une carte à composants électroniques.

Cette carte 10 contient un élément 11 de commande (par exemple une unité centrale de traitement ou CPU), une zone mémoire 12 contenant une mémoire 14 de données et une mémoire 15 de programme, et un bloc 13 de contacts destiné à une connexion électrique avec par exemple un connecteur d'un lecteur de cartes .

Ladite zone mémoire 12 est représentée sur la figure 2. Elle contient un programme P comportant N blocs Bi de code ( $i = 1, \dots, N$ ) constituant des blocs de code représentant des étapes ou opérations à accomplir lors de l'exécution dudit programme P, celui-ci permettant d'effectuer des opérations telles que par exemple une lecture ou une sélection de données dans la carte 10 et lesdits blocs Bi gérant des informations de données et d'adresses.

Lors de l'exécution dudit programme P, il y a des échanges d'informations entre les mémoires 14 et 15 et l'élément 11 de commande, qui se font par l'intermédiaire des lignes de bus dudit circuit intégré et qui sont gérés par l'élément 11 de commande de ladite carte 10. Lesdites lignes de bus sont, soit des lignes permettant de transporter des informations d'adresses, soit des lignes permettant de transporter des informations de données. Ainsi que cela est montré à la figure 3, les lignes de bus de données D1, D2, ...D8 et d'adresses A1, A2, ..., A16 sont reliées à chacune des mémoires de données 14 et de programme 15 de ladite zone mémoire 12 ainsi qu'à l'élément 11 de commande (CPU).

Afin de brouiller l'étude de la signature électrique lors de l'exécution du programme P, exécution qui est signe de l'activité de ladite carte 10, l'invention prévoit que le dispositif comporte M copies C<sub>j</sub> (j = 1, ..., M) d'un ou plusieurs blocs B<sub>i</sub> dans ladite zone mémoire 12, et 5 un moyen de sélection M<sub>s</sub> permettant de sélectionner de façon aléatoire une des copies C<sub>j</sub> d'un bloc B<sub>i</sub> comme copie de bloc à exécuter quand celui-ci doit être exécuté dans ledit programme P. Lors de l'exécution dudit programme P, plusieurs blocs B<sub>i</sub> de code vont être exécutés. La figure 4 montre un exemple pour un bloc donné B<sub>i</sub>. Pour chaque 10 exécution de ce bloc B<sub>i</sub> à exécuter dans ledit programme P et comportant des copies C<sub>j</sub> dans la zone mémoire 12, ledit moyen de sélection M<sub>s</sub> choisit de façon aléatoire, soit le bloc B<sub>i</sub>, soit une de ses copies C<sub>j</sub> pour l'exécuter dans le programme P. Les différentes copies C<sub>j</sub> ainsi que le bloc B<sub>i</sub> étant situés à des valeurs d'adresses différentes, à 15 chaque nouvelle demande d'exécution dudit bloc B<sub>i</sub> dans le programme P, les lignes de bus ne transportent pas les mêmes valeurs d'adresses et cela rend ainsi l'analyse de la signature électrique, qui varie suivant les valeurs transitant sur les lignes de bus de la carte 10, beaucoup plus difficile. Plus le dispositif comprend de blocs B<sub>i</sub> copiés, plus la signature 20 est difficile à analyser. C'est pour cela que l'invention prévoit des copies C<sub>j</sub> pour x blocs B<sub>i</sub> (x = 1, ..., N).

La signature électrique varie notamment en fonction des valeurs transitant sur les lignes de bus d'adresses représentées à la figure 3 et plus particulièrement lorsque une ligne de bus transporte l'information 25 1, cette information consommant un certain courant électrique. Or, si les valeurs d'adresses desdites copies C<sub>j</sub> précitées et dudit bloc B<sub>i</sub> copié sont équivalentes en consommation électrique (par exemple les valeurs d'adresses 1111100000000000 et 0000111011000000 sont équivalentes en consommation puisqu'elles ont chacune le même 30 nombre de bits à un et à zéro), la signature électrique ne va pas

beaucoup changer. Aussi, on choisit les adresses de telle manière que les sommes des valeurs des bits d'au moins deux adresses parmi l'ensemble des adresses d'un bloc Bi copié et de ses M copies Cj soient différentes. En pratique, on a pu constater que, en général, le fait 5 d'avoir 1 bit de différence parmi ces sommes était suffisant pour différencier les diverses consommations électriques desdites valeurs d'adresses et rendre ainsi plus complexe une étude de la signature électrique. L'exemple de la figure 5 représente un bloc B1 avec trois copies C1, C2 et C3 et leurs adresses respectives Ab, Ac1, Ac2 et Ac3. 10 Dans cet exemple, on peut voir que les sommes des bits des valeurs d'adresses Ab, Ac1 et Ac3 sont différentes et, par suite, que lesdites valeurs d'adresses varient en consommation électrique tandis que les sommes des bits des valeurs d'adresses Ab et Ac2 sont équivalentes (leur somme est égale à sept) et que en conséquence leur valeurs 15 d'adresses sont équivalentes en consommation électrique.

De même que la signature électrique varie suivant les valeurs transitant sur les lignes de bus d'adresses, la signature électrique varie suivant les valeurs transitant sur les lignes de bus de données représentées à la figure 3.

20 Aussi, l'invention prévoit que parmi l'ensemble des adresses d'un bloc Bi copié et de ses M copies (le bloc Bi comportant des opérations gérant un certain nombre de données), une adresse se situe dans la mémoire 15 de programme et une autre adresse se situe dans la mémoire 14 de données, comme le montrent les exemples des figures 6 25 et 7. En effet, l'exécution d'une opération, par exemple de lecture ou d'écriture, se situant dans la mémoire 15 de programme ne consomme pas la même quantité de courant que lorsque ladite opération se situe dans la mémoire 14 de données. Lesdites opérations du bloc Bi copié sont considérées, de la part de l'élément 11 de commande de la carte,

comme des informations de données transitant sur les lignes de bus de données.

Ainsi, le système précité de copie de blocs dans différentes mémoires, permet de brouiller la signature électrique et on peut 5 comprendre que grâce à ce système couplé avec ce qui a été vu précédemment, la signature électrique sera encore plus difficile à étudier.

Enfin, en plus d'une variation aléatoire en amplitude de la signature électrique due aux différents systèmes du dispositif mis en 10 place par la présente invention et vus précédemment, celle-ci prévoit une variation aléatoire en temps de ladite signature. En effet, ladite invention prévoit que le dispositif comporte un moyen de commande permettant d'ordonnancer l'exécution des blocs Bi de manière aléatoire. Chaque bloc comporte un ensemble d'opérations relatives à la carte à 15 composants électroniques. Lesdites opérations, lorsqu'elles s'exécutent, font appel à des fonctions qui sont gérées par l'élément 11 de commande de ladite carte. Pour effectuer ces fonctions, l'élément de commande consomme du temps. En général, pour chaque ensemble de fonctions, le temps consommé n'est pas le même, il en va ainsi de même 20 pour chaque ensemble d'opérations. Ainsi, grâce à ce moyen de commande qui permet l'exécution des blocs de manière aléatoire, à chaque nouvelle exécution du programme P, la signature électrique varie en fonction du temps puisque les blocs de code ne s'exécutent pas dans le même ordre et par conséquent, un fraudeur ne peut pas par 25 exemple lancer à plusieurs reprises l'exécution dudit programme P et analyser la signature électrique pour établir des correspondances entre les différentes opérations de traitement et chaque signal ou série de signaux contenus dans la signature électrique. On pourra noter que aucun dispositif annexe n'a été ajouté pour contrer ledit fraudeur.

**REVENDICATIONS**

1 - Dispositif à circuit intégré contenant une zone mémoire qui comprend, d'une part, une mémoire de données et une mémoire de programme, et, d'autre part, un programme comportant N blocs  $B_i$  ( $i = 1, \dots, N$ ) de code, caractérisé en ce que ladite zone mémoire comporte M copies  $C_j$  ( $j = 1, \dots, M$ ) de x blocs  $B_i$  ( $x = 1, \dots, N$ ) de code du programme, lesdites copies étant situées à différentes adresses de ladite zone mémoire, et en ce que ledit dispositif comprend un moyen de sélection servant à sélectionner de façon aléatoire une copie  $C_j$  d'au moins un des x blocs  $B_i$ , comme copie de bloc à utiliser lors de l'exécution dudit programme.

2 - Dispositif selon la revendication 1, caractérisé en ce que les sommes des valeurs des bits d'au moins deux adresses parmi l'ensemble des adresses d'un bloc  $B_i$  copié et de ses M copies  $C_j$  sont différentes.

3 - Dispositif selon l'une des revendications précédentes, caractérisé en ce que parmi l'ensemble des adresses d'un bloc  $B_i$  copié et de ses M copies, une adresse se situe dans la mémoire de programme et une autre adresse se situe dans la mémoire de données.

4 - Dispositif selon l'une des revendications précédentes, caractérisé en ce qu'il comporte un moyen de commande permettant d'ordonnancer l'exécution des blocs de manière aléatoire.

5 - Procédé de sécurisation d'un dispositif à circuit intégré contenant une zone mémoire qui comprend, d'une part, une mémoire de données et une mémoire de programme, et, d'autre part, un programme comportant N blocs  $B_i$  ( $i = 1, \dots, N$ ) de code,

caractérisé en ce que ledit procédé comporte les étapes consistant à :

- créer, dans ladite zone mémoire, M copies  $C_j$  ( $j = 1, \dots, M$ ) de x blocs  $B_i$  ( $i = 1, \dots, N$ ) de code du programme, lesdites copies étant situées à différentes adresses de ladite zone mémoire,
- sélectionner de façon aléatoire une copie  $C_j$  d'au moins un des x blocs  $B_i$ , comme copie de bloc à utiliser lors de l'exécution dudit programme.

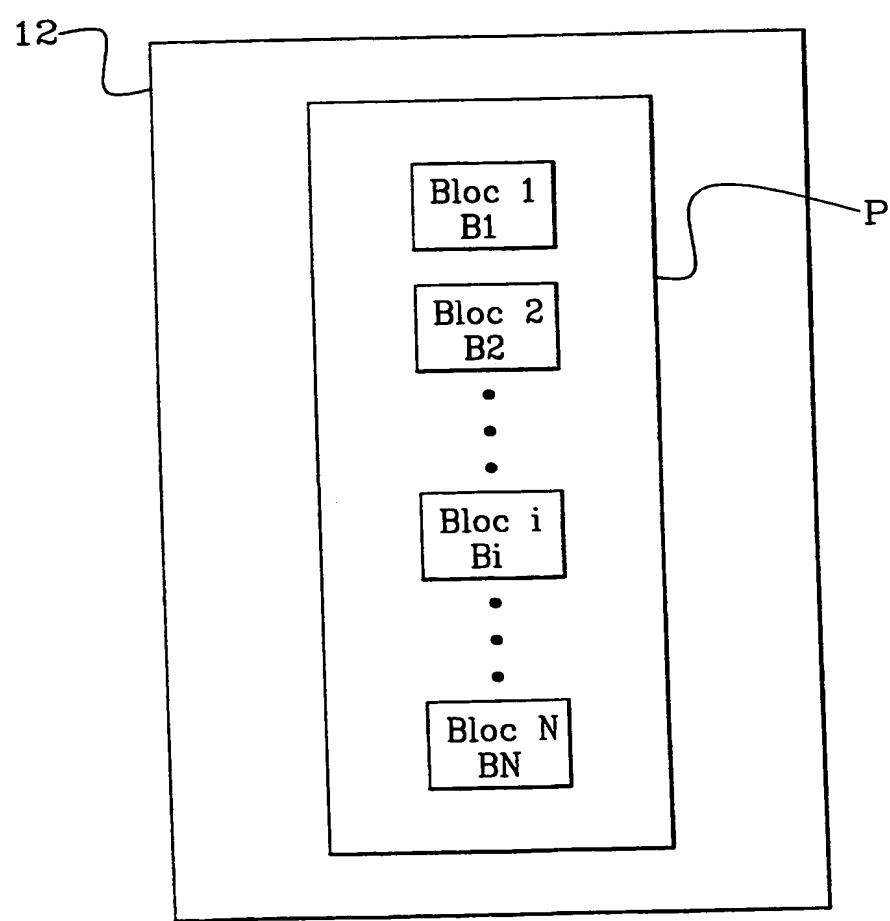
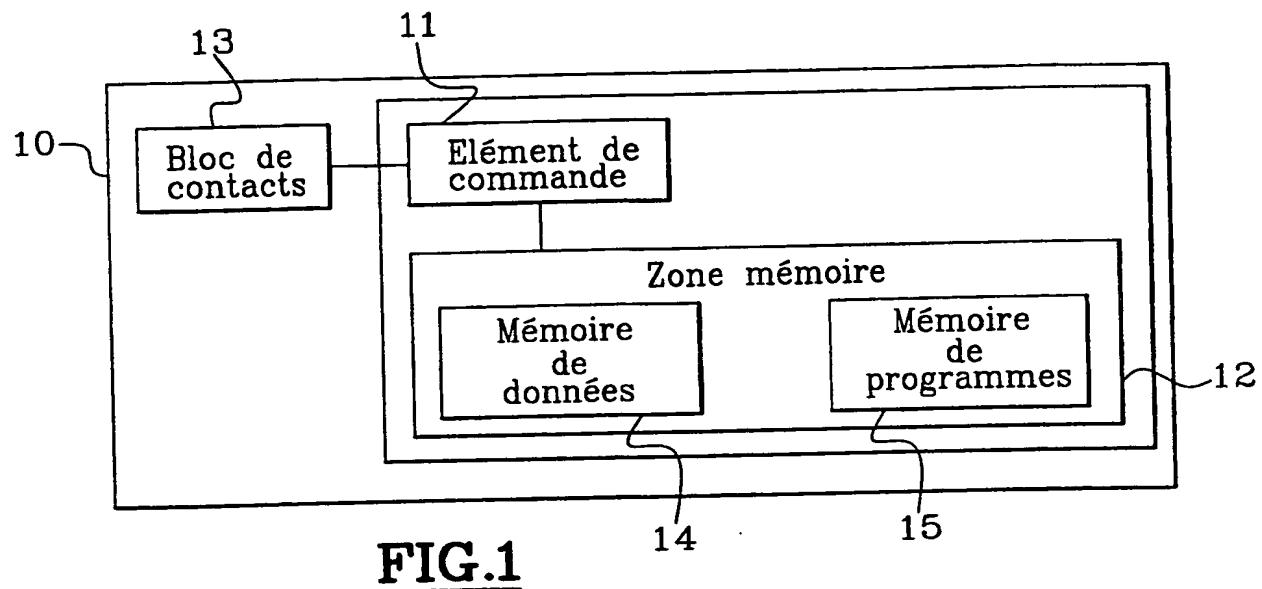
6 - procédé selon la revendication 5, caractérisé en ce que ledit procédé consiste, dans une étape supplémentaire à choisir, les sommes des valeurs des bits d'au moins deux adresses parmi l'ensemble des adresses d'un bloc  $B_i$  copié et de ses M copies  $C_j$  de telle manière qu'elles soient différentes.

7 - Procédé selon les revendications 5 ou 6, caractérisé en ce que parmi l'ensemble des adresses d'un bloc  $B_i$  copié et de ses M copies, une adresse est choisie dans la mémoire de programme et une autre adresse est choisie dans la mémoire de données.

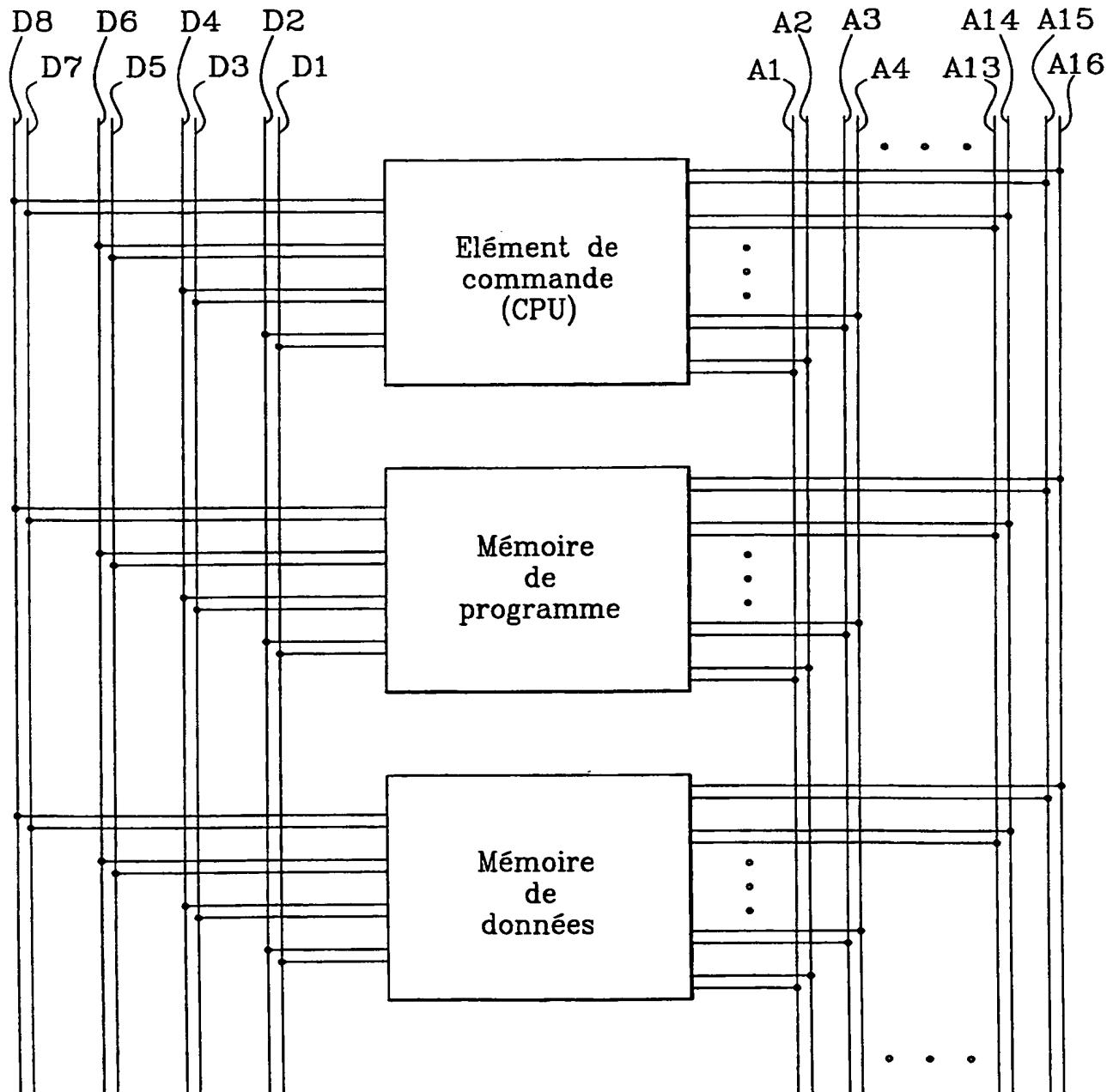
8 - Procédé selon les revendications 5, 6 ou 7, caractérisé en ce que ledit procédé consiste, dans une étape supplémentaire, à ordonner l'exécution des blocs de manière aléatoire.



1/4

FIG.2

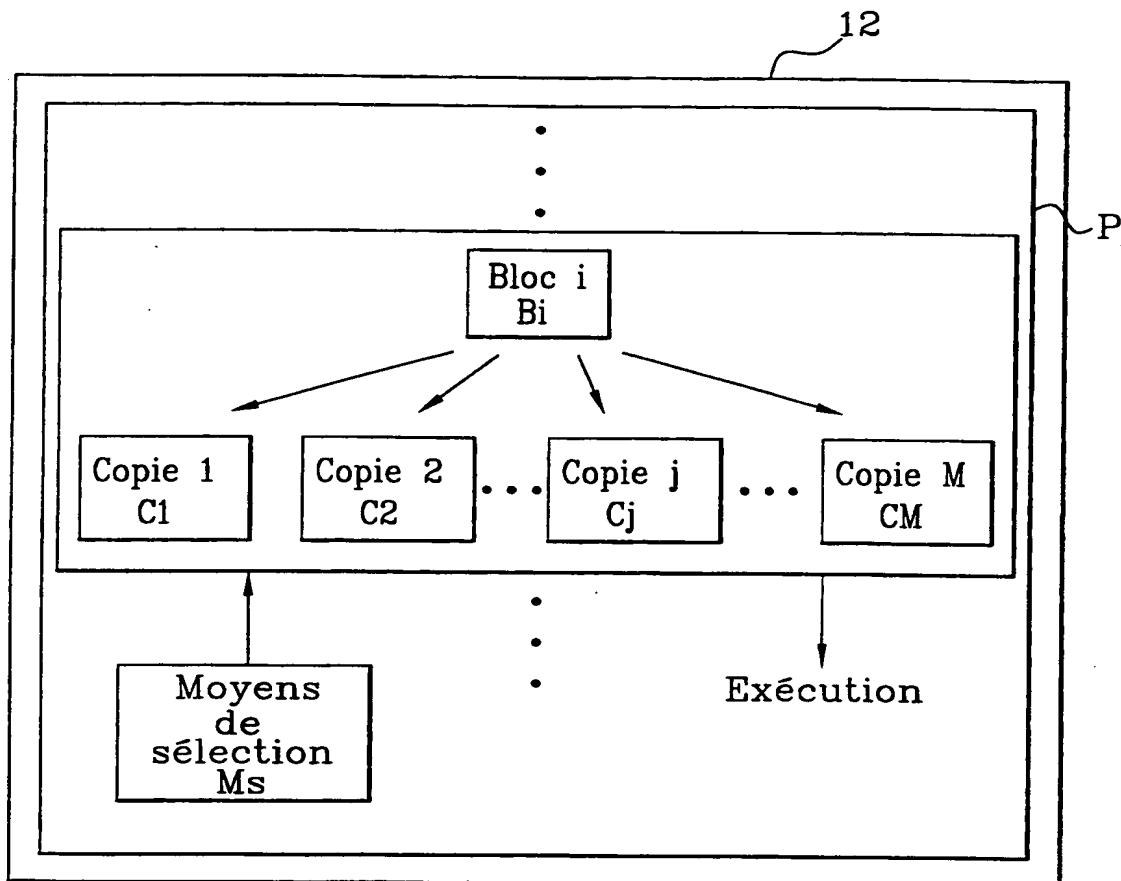
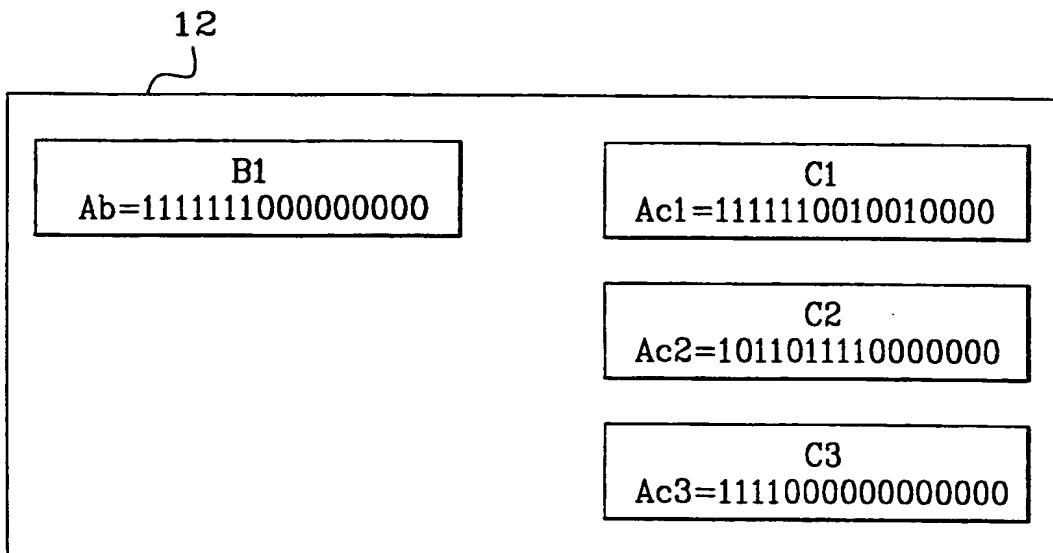




### FIG.3



3/4

FIG.4FIG.5



4 / 4

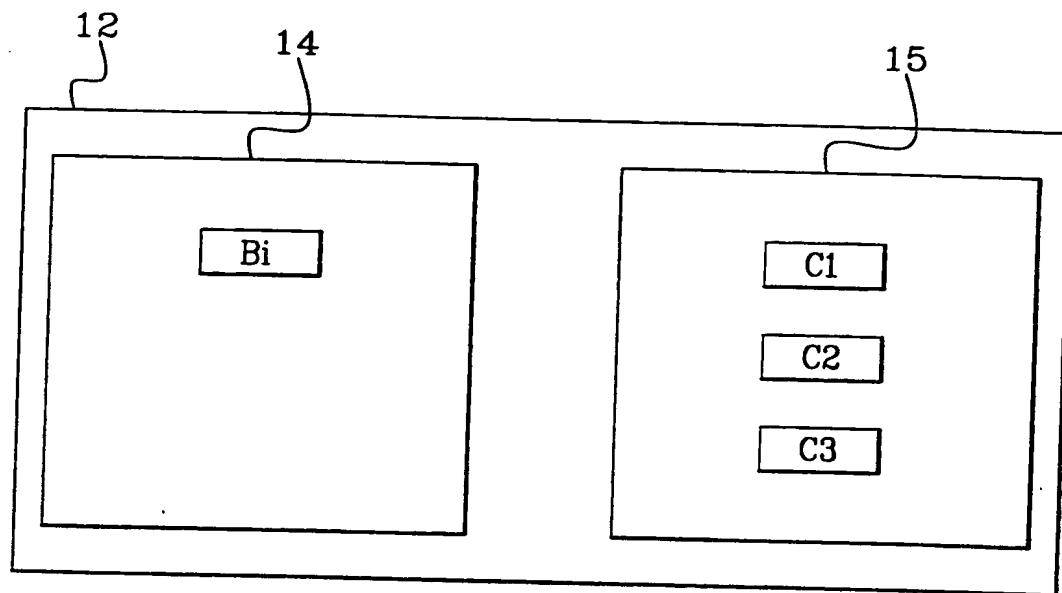


FIG.6

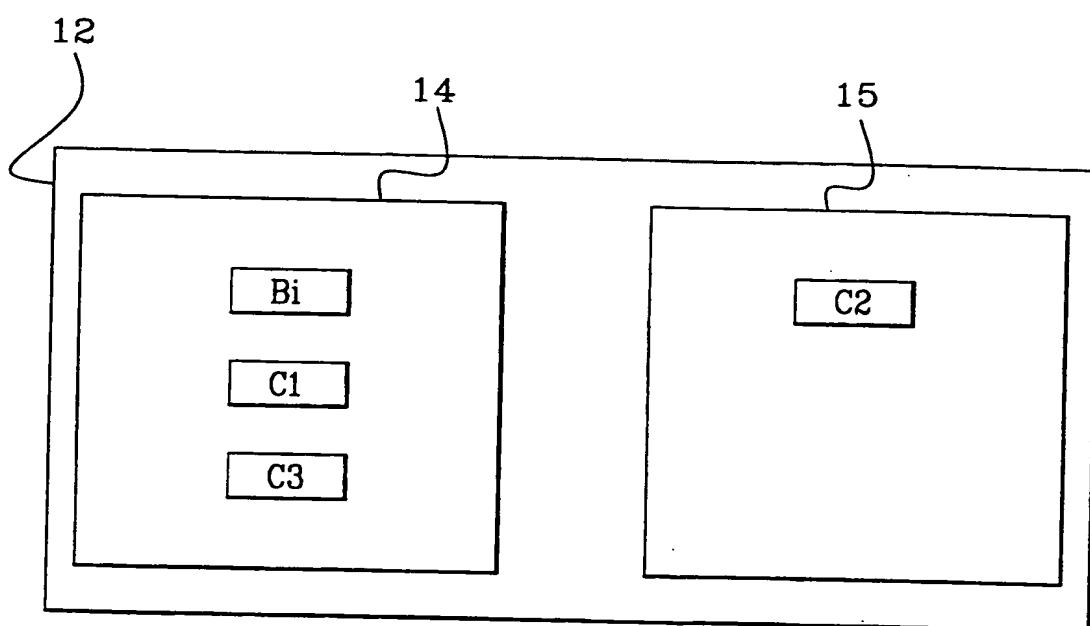


FIG.7



## INTERNATIONAL SEARCH REPORT

Int'l. Appl. No.  
PCT/FR 99/02639A. CLASSIFICATION OF SUBJECT MATTER  
IPC 7 G07F7/10 G06F12/14

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
IPC 7 G07F G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 452 431 A (BOURNAS JEAN-PIERRE) 19 September 1995 (1995-09-19) column 2, line 49 - line 56 column 5, line 57 - line 62 column 6, line 3 - line 7; claim 1; figures 1,3 abstract ---	1-8
A	US 4 847 803 A (MIYANO TOSHIHIRO) 11 July 1989 (1989-07-11) column 1, line 24 - line 27 column 3, line 6 - line 25; figures 2-5 abstract ---	1-8
A	EP 0 681 233 A (IBM) 8 November 1995 (1995-11-08) --- -/-	

 Further documents are listed in the continuation of box C. Patent family members are listed in annex.

## \* Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- "&" document member of the same patent family

Date of the actual completion of the international search

Date of mailing of the international search report

11 January 2000

19/01/2000

## Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 551 epo nl.  
Fax: (+31-70) 340-3016

## Authorized officer

Wauters, J

**INTERNATIONAL SEARCH REPORT**

Interr. Application No.  
PCT/FR 99/02639

**C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT**

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 0 595 720 A (BULL CP8) 4 May 1994 (1994-05-04) -----	

## INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/FR 99/02639

Patent document cited in search report		Publication date		Patent family member(s)		Publication date
US 5452431	A	19-09-1995		FR 2683357 A DE 69223920 D DE 69223920 T EP 0540095 A JP 5217035 A		07-05-1993 12-02-1998 18-06-1998 05-05-1993 27-08-1993
US 4847803	A	11-07-1989		JP 2856393 B JP 63201748 A DE 3804925 A FR 2611065 A KR 9102256 B		10-02-1999 19-08-1988 25-08-1988 19-08-1988 08-04-1991
EP 0681233	A	08-11-1995		US 5598470 A CA 2145922 A,C JP 7306780 A US 5757908 A		28-01-1997 26-10-1995 21-11-1995 26-05-1998
EP 0595720	A	04-05-1994		FR 2697361 A AT 158098 T CA 2126457 A,C DE 69313777 D DE 69313777 T DK 595720 T ES 2108246 T WO 9410660 A JP 11073482 A JP 2839954 B JP 6511589 T SG 66264 A US 5796835 A		29-04-1994 15-09-1997 11-05-1994 16-10-1997 12-02-1998 23-03-1998 16-12-1997 11-05-1994 16-03-1999 24-12-1998 22-12-1994 20-07-1999 18-08-1998



# RAPPORT DE RECHERCHE INTERNATIONALE

Dem Internationale No  
PCT/FR 99/02639

A. CLASSEMENT DE L'OBJET DE LA DEMANDE  
CIB 7 G07F7/10 G06F12/14

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

## B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)  
CIB 7 G07F G06F

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porte la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)

## C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	US 5 452 431 A (BOURNAS JEAN-PIERRE) 19 septembre 1995 (1995-09-19) colonne 2, ligne 49 - ligne 56 colonne 5, ligne 57 - ligne 62 colonne 6, ligne 3 - ligne 7; revendication 1; figures 1,3 abrégé ---	1-8
A	US 4 847 803 A (MIYANO TOSHIHIRO) 11 juillet 1989 (1989-07-11) colonne 1, ligne 24 - ligne 27 colonne 3, ligne 6 - ligne 25; figures 2-5 abrégé ---	1-8
A	EP 0 681 233 A (IBM) 8 novembre 1995 (1995-11-08) ---	-/-

Voir la suite du cadre C pour la fin de la liste des documents

Les documents de familles de brevets sont indiqués en annexe

### \* Catégories spéciales de documents cités:

- "A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent
- "E" document antérieur, mais publié à la date de dépôt international ou après cette date
- "L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)
- "O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens
- "P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

- "T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention
- "X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément
- "Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier
- "&" document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

11 janvier 2000

Date d'expédition du présent rapport de recherche internationale

19/01/2000

Nom et adresse postale de l'administration chargée de la recherche internationale  
Office Européen des Brevets, P. B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Wauters, J

**RAPPORT DE RECHERCHE INTERNATIONALE**

Demande internationale No

PCT/FR 99/02639

## C.(suite) DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie	Identification des documents cités, avec le cas échéant, l'indication des passages pertinents	Indication des revendications visées
A	EP 0 595 720 A (BULL CP8) 4 mai 1994 (1994-05-04) -----	

# RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs à la famille de brevets

Document de recherche internationale No

PCT/FR 99/02639

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)			Date de publication
US 5452431 A	19-09-1995	FR 2683357 A	DE 69223920 D	DE 69223920 T	07-05-1993 12-02-1998 18-06-1998
		EP 0540095 A	JP 5217035 A		05-05-1993 27-08-1993
US 4847803 A	11-07-1989	JP 2856393 B	JP 63201748 A	DE 3804925 A	10-02-1999 19-08-1988 25-08-1988
		FR 2611065 A	KR 9102256 B		19-08-1988 08-04-1991
EP 0681233 A	08-11-1995	US 5598470 A	CA 2145922 A,C	JP 7306780 A	28-01-1997 26-10-1995 21-11-1995
		US 5757908 A			26-05-1998
EP 0595720 A	04-05-1994	FR 2697361 A	AT 158098 T	CA 2126457 A,C	29-04-1994 15-09-1997 11-05-1994
		DE 69313777 D	DE 69313777 T	DK 595720 T	16-10-1997 12-02-1998 23-03-1998
		ES 2108246 T	WO 9410660 A	ES 2108246 T	16-12-1997 11-05-1994
		JP 11073482 A	JP 2839954 B	JP 6511589 T	16-03-1999 24-12-1998 22-12-1994
		SG 66264 A	US 5796835 A		20-07-1999 18-08-1998

